

LOGIC SIMULATION DEVICE

Publication number: JP3253973

Publication date: 1991-11-13

Inventor: OCHIAI TOSHIYUKI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: G06F11/25; G06F11/26; G06F17/50; G06F11/25;
G06F11/26; G06F17/50; (IPC1-7): G06F11/26;
G06F15/60

- European:

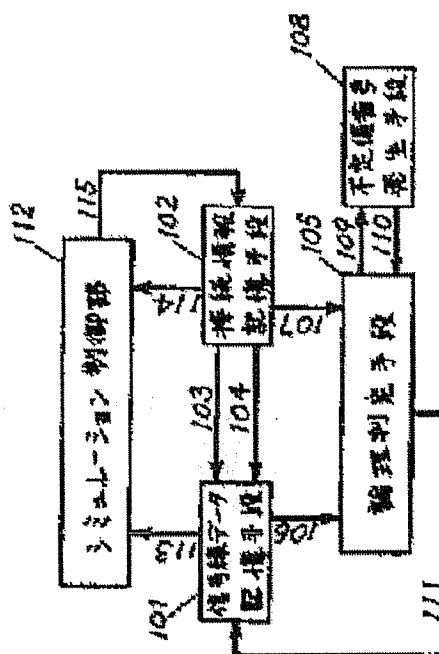
Application number: JP19900053430 19900305

Priority number(s): JP19900053430 19900305

Report a data error here

Abstract of JP3253973

PURPOSE: To obtain the same simulation result as the actual circuit operation even in the case of a circuit which takes an indeterminate value as the input and has an unequivocally determined output by adding an indeterminate value number to a signal line at the time when the logic value of this signal line is an indeterminate value and using this indeterminate value to perform the processing in accordance with a certain rule in the case of logical operation. **CONSTITUTION:** A logic discriminating means 105 discriminates a logic in accordance with a classification 107 of inputted logical operation and input signal line data 106. When an indeterminate value is included in input signal line data 106 at this time, the logical value discriminated by the rule and an indeterminate value number 111 are outputted to a signal line data storage means 101. When this means 101 updates signal line data corresponding to an output signal line number 104 to the inputted logical value and the indeterminate value number 111, discrimination of the output of one logical operation element is completed, and a simulation control part 112 outputs a number 115 of the logical operation element to be next subjected to logic discrimination. Thus, the same simulation result as the actual circuit is obtained.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-253973

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月13日

G 06 F 15/60
11/26

3 6 0 D
3 1 0

7922-5L
7230-5B

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 論理シミュレーション装置

⑯ 特 願 平2-53430

⑰ 出 願 平2(1990)3月5日

⑱ 発 明 者 落 合 利 之 大阪府門真市大字門真1006番番 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

論理シミュレーション装置

2. 特許請求の範囲

(1) 複数の論理演算素子の間を接続している信号線に一つ一つに対応して付けられている信号線番号、前記信号線の状態を表す論理値、前記論理値の不定値を識別する不定値番号を各信号線のデータとして記憶する信号線データ記憶手段と、前記論理演算素子に一つ一つに対応して付けられている論理演算素子番号、論理演算素子が行なう論理演算の種類、論理演算素子が出力する信号線を識別する出力信号線番号、論理演算素子に入力される信号線を識別する入力信号線番号を各論理演算素子のデータとして記憶する接続情報記憶手段と、前記接続情報記憶手段と前記信号線データ記憶手段とに接続され、論理判定を行なう論理演算素子の種類と入力信号線データをそれぞれ入力とし、前記論理演算素子が出力する信号線の論理値の判定を行い、入力が不定値であり、新たな不定値を

出力する場合には、不定値番号発生手段から不定値番号を取り込んで、判定した論理値と不定値番号を前記信号線データ記憶手段へ出力する論理判定手段と、前記論理判定手段から不定値番号要求信号が出力された場合には、内部で保持している不定値番号を更新し新たな不定値番号を前記論理判定手段へ出力する不定値番号発生手段と、前記信号線データ記憶手段と前記接続情報記憶手段とに接続され、前記信号線データ記憶手段が記憶している全ての信号線データと、前記接続情報記憶手段が記憶している全ての論理演算素子の接続状態をそれぞれ入力として、論理判定を行うべき論理演算素子を決定し、前記論理演算素子番号を前記接続情報記憶手段へ出力するシミュレーション制御部とを備え、複数の不定値を不定値番号によって識別することを特徴とする論理シミュレーション装置。

(2) 1つの不定値と、これと同一の不定値の否定との論理和が確定値1に、論理積が確定値0になることを特徴とする請求項1記載の論理シミュレーション装置。

レーション装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、プロセッサなどのデジタル論理装置の設計検証に用いる論理シミュレーション装置に関するものである。

従来の技術

第6図は、従来の論理シミュレーション装置で記憶されている信号線データの構造を示すものである。第6図に示すように、従来の論理シミュレーション装置では、複数の論理演算素子の間を接続している信号線に一つ一つに対応して付けられている信号線番号と前記信号線の状態を表す論理値のみを信号線データとして記憶している。以上のような信号線データを持つ従来の論理シミュレーション装置の動作を、第5図の論理回路を例にとって説明する。

第7図は、従来の論理シミュレーション装置で第5図の論理回路のシミュレーションを行ったときの各信号線の論理値の変化を表した信号線変化

図である。図中の値は、各信号線の論理値で、Xは不定値を意味する。まず、時刻T0には、信号線504および信号線507の論理値が1で、その他の信号線の論理値は0であったとする。次に時刻T1で、信号線504および信号線505の論理値をX(不定値)に変化させる。すると、時刻 $T1 + \alpha$ では、否定(NOT)素子501の論理判定が行われて、信号線506の論理値が0からX(不定値)へ変化する。ここで、 α は1ステップのシミュレーションに必要な時間で、限りなく0に近い極小値である。さらに、時刻 $T1 + 2\alpha$ では、論理和(OR)素子502の論理判定が行われて、信号線507の論理値もX(不定値)に変化する。そして、最後の時刻 $T1 + 3\alpha$ では、論理和(OR)素子503の論理判定が行われて、信号線508の論理値もX(不定値)に変化し、全ての信号線がX(不定値)になる。

発明が解決しようとする課題

しかしながら、上記のような構成では、第5図の回路の入力信号線504に不定値を入力したと

きに、信号線506も不定値となり、実際の回路では信号線504または信号線506のどちらか一方が1となるため信号線507は確定値1になるにも関わらず、シミュレーションの結果では信号線507も不定値になるという問題点を有していた。

本発明はかかる点に鑑み、入力が不定値であっても、出力が一意的に決まるような回路(例えば第5図に示すような回路)において、実際の回路と同じ結果を得ることができる論理シミュレーション装置を提供することを目的とする。

課題を解決するための手段

本発明は上記目的を達成するために、複数の論理演算素子の間を接続している信号線に一つ一つに対応して付けられている信号線番号、前記信号線の状態を表す論理値、前記論理値の不定値を識別する不定値番号を各信号線のデータとして記憶する信号線データ記憶手段と、論理判定手段に接続され、不定値番号要求信号があるときは、内部で保持している不定値番号を更新し新たな不定値番

号を前記論理判定手段へ出力する不定値番号発生手段を備えた論理シミュレーション装置である。

作用

本発明は上記した構成により、信号線の論理値が不定値である場合には、その信号線に不定値番号を付け、論理演算素子が不定値を入力とした場合に、この論理演算素子は一定の規則にしたがって不定値入力に対する出力を行い、論理演算素子が新たな不定値を出力する場合には不定値番号を更新してそれぞれの不定値を識別する。

このことにより、ある1つの不定値とこれと同一の不定値の否定との論理和は確定値1に、論理積は確定値0になる。

実施例

第1図は本発明の一実施例における論理シミュレーション装置の構成図を示すものである。第1図において、101は複数の論理演算素子の間を接続している信号線のデータを記憶する信号線データ記憶手段、102は論理演算素子と信号線間の接続関係を示すデータを記憶する接続情報記

憶手段 103 は接続情報記憶手段 102 が信号線データ記憶手段 101 へ出力する入力信号線番号 104 は接続情報記憶手段 102 が信号線データ記憶手段 101 へ出力する出力信号線番号 105 は論理演算素子の出力信号線の論理値を判定する論理判定手段 106 は信号線データ記憶手段 101 が論理判定手段 105 へ出力する入力信号線データ、107 は接続情報記憶手段 102 が論理判定手段 105 へ出力する論理演算の種類 108 は不定値を識別するための不定値番号を発生する不定値番号発生手段 109 は論理判定手段 105 が不定値番号発生手段 108 へ出力する不定値番号要求信号 110 は不定値番号発生手段 108 が論理判定手段 105 へ出力する不定値番号 111 は論理判定手段 105 が信号線データ記憶手段 101 へ出力する論理値および不定値番号 112 はシミュレーション装置の動作を制御するシミュレーション制御部 113 は信号線データ記憶手段 101 がシミュレーション制御部 112 へ出力する信号線データ、114 は接続情

報記憶手段 102 がシミュレーション制御部 112 へ出力する論理演算子の接続状態 115 はシミュレーション制御部 112 が接続情報記憶手段 102 へ出力する論理素子番号である。

第2図は本発明の論理シミュレーション装置の信号線データ記憶手段 101 で記憶している信号線データの構造を示したものである。第2図において、201 は信号線に一つ一つに対応して付けられている信号線番号、202 は信号線の状態を表す論理値で、1, 0, Z (ハイインピーダンス), X (不定値) の何れかの値を取る。203 は不定値を識別する不定値番号で、論理値 202 が X (不定値) 以外の時は 0、論理値 202 が X (不定値) の時は 0 以外の整数になる。

第3図は本発明の論理シミュレーション装置の接続情報記憶手段 102 で記憶している論理演算素子データの構造を示したものである。第3図において、301 は論理演算素子に一つ一つに対応して付けられている論理演算素子番号、302 は論理演算素子が行う論理演算の種類、303 は論理

演算素子が出力する信号線を識別する出力信号線番号、304 は論理演算素子に入力される信号線を識別する入力信号線番号であり、入力信号線の数だけ存在する。

以上のように構成された本実施例の論理シミュレーション装置について、以下その動作を説明する。

シミュレーション制御部 112 は、信号線データ記憶手段 101 および接続情報記憶手段 102 からデータを入力して、それを基にして論理判定を行うべき論理演算素子の番号 115 を接続情報記憶手段 102 へ出力する。接続情報記憶手段 102 は、記憶している論理演算素子のデータを基に、入力された論理演算素子番号 115 に相当する論理演算素子が行う論理演算の種類 107 を論理判定手段 105 へ出力し、論理判定を行うべき論理演算素子の入力信号線番号 103 および出力信号線番号 104 を信号線データ記憶手段 101 へ出力する。信号線データ記憶手段 101 は、記憶している信号線のデータを基に、入力された入

力信号線番号 104 に相当する信号線の入力信号線データ 106 を論理判定手段 105 へ出力する。論理判定手段 105 は、入力された論理演算の種類 107 および入力信号線データ 106 から論理判定を行う。このとき入力信号線データ 106 に X (不定値) が含まれていたときは、次の規則に従う。

(1) 演算の種類が否定 (NOT) で、入力が X (不定値) の場合

出力の論理値は X (不定値) で、不定値番号は入力の不定値番号の符号を反転させたものにする。

(2) 演算の種類が2入力の論理和 (OR) で、入力が共に X (不定値) で、不定値番号の絶対値が同じで、符号が異なる場合

出力の論理値は確定値 1 にする。

(3) 演算の種類が2入力の論理積 (AND) で、入力が共に X (不定値) で、不定値番号の絶対値が同じで、符号が異なる場合

出力の論理値は確定値 0 にする。

(4) 演算の種類が2入力の論理和 (OR) または論理積 (AND) で、入力が共に X (不定値) で、不定値番号が同じ場合

出力の論理値は X (不定値) で、不定値番号は入力の不定値番号と同じにする

(5) 演算の種類が2入力の論理和 (OR) または論理積 (AND) で、入力が共に X (不定値) で、不定値番号の絶対値が異なる場合

出力の論理値は X (不定値) で、不定値番号は、不定値番号要求信号 109 を有効にし、不定値番号発生手段 108 から新たな不定値番号 110 を入力する

(6) 演算の種類が2入力の論理積 (AND) で、入力が1と X (不定値) の場合

出力の論理値は X (不定値) で、不定値番号は入力の不定値番号と同じにする

(7) 演算の種類が2入力の論理和 (OR) で、入力が0と X (不定値) の場合

出力の論理値は X (不定値) で、不定値番号は入力の不定値番号と同じにする

(8) 演算の種類が2入力の論理積 (AND) で、入力が0と X (不定値) の場合

出力の論理値は確定値 0

(9) 演算の種類が2入力の論理和 (OR) で、入力が1と X (不定値) の場合

出力の論理値は確定値 1

(10) 入力が3以上の論理演算素子の場合

2入力の論理演算素子の組合せに置換した後、(1) ~ (9) を適用する。

(11) 否定 (NOT)、論理積 (AND)、論理和 (OR) 以外の論理演算素子の場合

否定 (NOT)、論理積 (AND)、論理和 (OR) の組合せに置換した後、(1) ~ (9) を適用する。

以上の規則によって判定した論理値および不定値番号 111 を信号線データ記憶手段 101 へ出力する。そして、信号線データ記憶手段 101 は、出力信号線番号 104 に相当する信号線データを入力された論理値および不定値番号 111 に更新する。これで、1つの論理演算素子の出力の判定

が完了し、シミュレーション制御部 112 は次に論理判定を行うべき論理演算素子の番号 115 を出力する。その後は、この説明の最初に戻り、以後この動作を繰り返す。

次に、本実施例の実例として、第5図の論理回路のシミュレーションを行ったときの動作を説明する。第5図において、501は否定 (NOT) 素子、502、503は論理和 (OR) 素子、504 ~ 508は信号線である。

第4図は本実施例の論理シミュレーション装置で第5図の論理回路のシミュレーションを行ったときの各信号線の論理値および不定値番号の変化を示した信号線変化図である。図中の値は各信号線の論理値で、Xは不定値を意味する。また、() の中の数字は不定値番号である。

まず、時刻 T_0 には、信号線 504 および信号線 507 の論理値が1で、その他の信号線の論理値が0であったとする。次に、時刻 T_1 で、信号線 504 および信号線 505 の論理値を X (不定値) に変化させる。この時、不定値番号は信号線

504 が1、信号線 505 が2であったとする。

すると、時刻 $T_1 + \alpha$ では、

シミュレーション制御部 112 は論理判定を行うべき論理演算素子として否定 (NOT) 素子 501 を指定する。ここで、 α は1つの論理素子の論理判定に必要な時間で、限りなく0に近い極小値である。次に、接続情報記憶手段 102 からは論理演算の種類 107 として否定 (NOT) が、信号線データ記憶手段 101 からは入力信号線データ 106 として論理値 X (不定値)、不定値番号 1 が論理判定手段 105 へ入力される。そして、論理判定手段 105 は、前記規則 (1) に従って、論理値 X (不定値)、不定値番号 1 を信号線データ記憶手段 101 へ出力し、信号線データ記憶手段 101 は、これを信号線 506 のデータとして格納する。さらに、時刻 $T_1 + 2\alpha$ では、シミュレーション制御部 112 は論理判定を行うべき論理演算素子として論理和 (OR) 素子 502 を指定する。この論理判定は、前記規則 (2) に従って、信号線 507 は論理値 1 となる。そして、

最後の時刻 $T1 + 3\alpha$ では、論理和 (OR) 素子 503 の判定が行われ、前記規則 (5) に従って、信号線 508 は論理値 X (不定値)、不定値番号 3 となる。この不定値番号 3 は、不定値番号発生手段 108 が新たに発生したものである。

なお、実施例では、ある不定値の否定 (NOT) は、不定値番号の符号を反転することによって元の不定値と区別したが、不定値番号は同じにして、それを区別するためのデータを不定値番号とは別に記憶するような構成にしてもよい。

更に、実施例では、信号線データとして信号線番号、論理値、不定値番号を記憶しているが、それに加えて信号の強さも記憶し、それを考慮した論理判定を行うようにしてもよい。

発明の効果

以上説明したように、本発明によれば、信号線の論理値が不定値である場合には、その信号線に不定値番号を付け、論理演算の際はその不定値番号を使って一定の規則で処理するので、入力が不定値で、出力が一意的に決まるような回路におい

ても、実際の回路動作と同じシミュレーション結果を得ることができる。

また、ある信号線の論理値とは無関係に、ある動作をすることを検証する際に、その信号線の論理値が 0 の場合と 1 の場合の両方のシミュレーションを、その信号線に不定値を入力する 1 回のシミュレーションで代用できるため、検証時間を短縮することができ、その実用的効果は大きい。

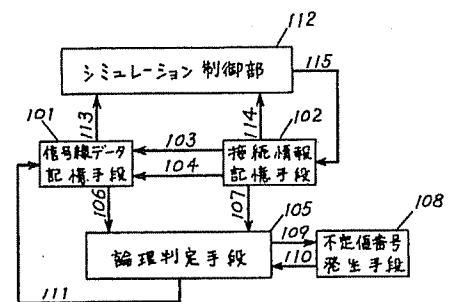
4. 図面の簡単な説明

第 1 図は本発明における一実施例の論理シミュレーション装置の構成図。第 2 図は同実施例の信号線データのデータ構造図。第 3 図は同実施例の論理演算素子データのデータ構造図。第 4 図は同実施例の各信号線の論理値および不定値番号の変化を示した信号線変化の説明図。第 5 図は論理回路の一例を示した図。第 6 図は従来の論理シミュレーション装置の信号線データのデータ構造図。第 7 図は従来の論理シミュレーション装置の各信号線の論理値の変化を表した信号線変化の説明図である。

101…信号線データ記憶手段 102…接続情報記憶手段 103…入力信号線番号 104…出力信号線番号 105…論理判定手段 106…入力信号線データ 107…論理演算の種類 108…不定値番号発生手段 109…不定値番号要求信号 110…不定値番号 111…論理値および不定値番号 112…シミュレーション制御部 113…信号線データ 114…論理演算素子の接続状態 201…信号線番号 202…論理値 203…不定値番号 301…論理素子番号 302…論理演算の種類 303…出力信号線番号 304…入力信号線番号 501…否定素子 502～503…論理和素子 504～508…信号線 601…信号線番号 602…論理値

代理人の氏名 弁理士 栗野重孝 ほか 1 名

第 1 図



第 2 図

201	202	203
信号線番号	論理値	不定値番号

第 3 図

301	302	303	304
論理素子番号	論理演算の種類	出力信号線番号	入力信号線番号

第 6 図

601 602	
信号線番号	論理値

第 4 図

時刻 信号線番号	T0	T1	T1+d	T1+2d	T1+3d
504	1 (0)	x (1)	x (1)	x (1)	x (1)
505	0 (0)	x (2)	x (2)	x (2)	x (2)
506	0 (0)	0 (0)	x (-1)	x (-1)	x (-1)
507	1 (0)	1 (0)	1 (0)	1 (0)	1 (0)
508	0 (0)	0 (0)	0 (0)	0 (0)	x (3)

第 7 図

時刻 信号線番号	T0	T1	T1+d	T1+2d	T1+3d
504	1	x	x	x	x
505	0	x	x	x	x
506	0	0	x	x	x
507	1	1	1	x	x
508	0	0	0	0	x

第 5 図

